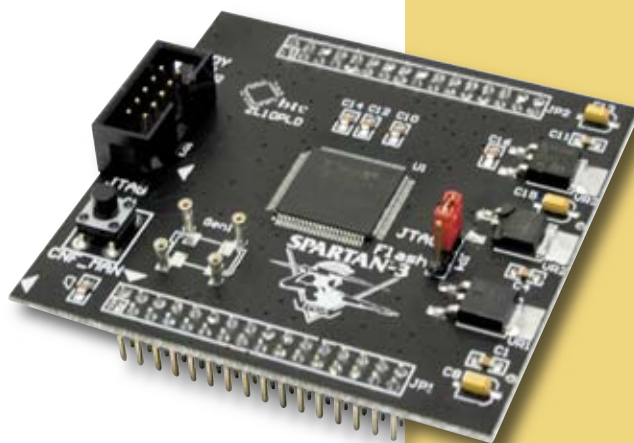


Moduł dipPLD z układem XC3S200



Moduły dipPLD opracowano z myślą o ułatwieniu powszechnego stosowania układów FPGA z rodziny Spartan 3 przez konstruktorów, którzy nie mogą lub nie chcą inwestować w zautomatyzowany montaż elementów o relatywnie „gęstym” rastrze rozmieszczenia wyprowadzeń (0,5 mm).

Podstawowe parametry modułu ZL10PLD

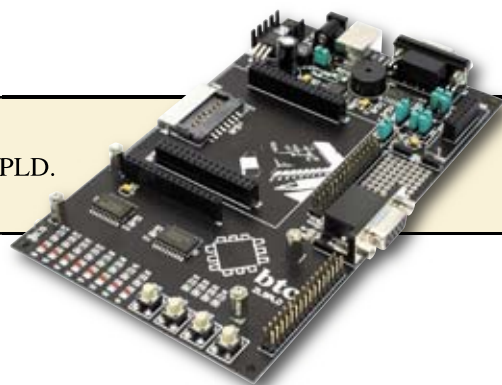
- ▶ układ FPGA z rodziny Spartan 3 XC3S200 w obudowie VQFP100;
- ▶ odpowiednik funkcjonalny 200000 bramek logicznych;
- ▶ 12 sprzętowych multiplikatorów;
- ▶ 4 bloki powielaczy częstotliwości;
- ▶ pamięć SRAM (Block SRAM) o pojemności 216 kb;
- ▶ konfigurator Flash o pojemności 1 Mb (XCF01S);
- ▶ liczba linii I/O: 61 (w tym 5 wejściowych z tolerancją 5 V, pozostałe wyłącznie 3,3 V);
- ▶ wbudowane inwertery z serii LVC/LCX buforujące 6 linii I/O FPGA;
- ▶ dioda LED sygnalizująca poprawne skonfigurowanie FPGA;
- ▶ przycisk umożliwiający ręczne wymuszenie rekonfiguracji FPGA;
- ▶ współpraca z interfejsem JTAG (ZL11PRG, ZL11PRG-M lub ZL4PRG);
- ▶ automatyczna konfiguracja FPGA po włączeniu zasilania;
- ▶ generator kwarcowy 3,6864 MHz/DIP8/5V (wymienialny);
- ▶ wbudowane stabilizatory 1,2/2,5 i 3,3 V;
- ▶ zasilanie: 4,4...7 VDC/110 mA (zależy od częstotliwości taktowania);
- ▶ przystosowany do współpracy z płytą bazową ZL9PLD.



Do modułu dipPLD ZL10PLD są dostępne bezpłatne biblioteki PCB i SCH do Protela 99SE i DXP. Można je pobrać pod adresem: http://www.kamami.pl/dl/zl10pld_libs.zip.

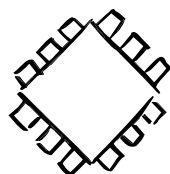


Moduł ZL10PLD współpracuje z płytą bazową ZL9PLD.



Wyposażenie standardowe

Kod	Opis
ZL10PLD	▶ zmontowany i uruchomiony moduł z układem XC3S200-VQ100



btc

BTC Korporacja
05-120 Legionowo
ul. Lwowska 5
tel.: (022) 767-36-20
faks: (022) 767-36-33
e-mail: biuro@kamami.pl
<http://www.kamami.pl>

Zastrzegamy prawo do wprowadzania zmian bez uprzedzenia.

Oferowane przez nas płytki drukowane mogą się różnić od prezentowanej w dokumentacji, przy czym zmianom nie ulegają jej właściwości użytkowe.

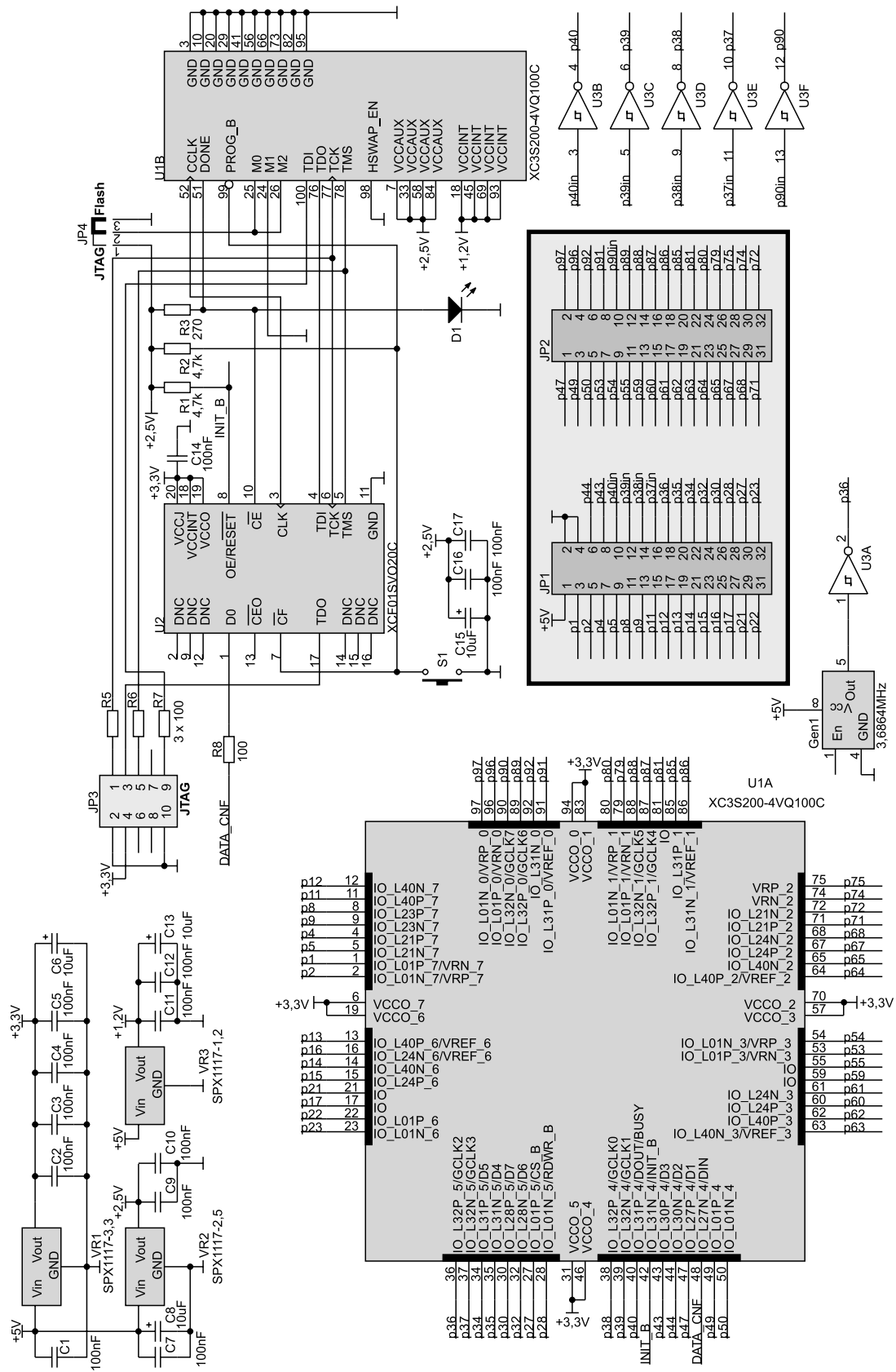
BTC Korporacja gwarantuje zgodność produktu ze specyfikacją.

BTC Korporacja nie ponosi odpowiedzialności za jakiegokolwiek szkody powstałe bezpośrednio lub pośrednio w wyniku użycia lub nieprawidłowego działania produktu.

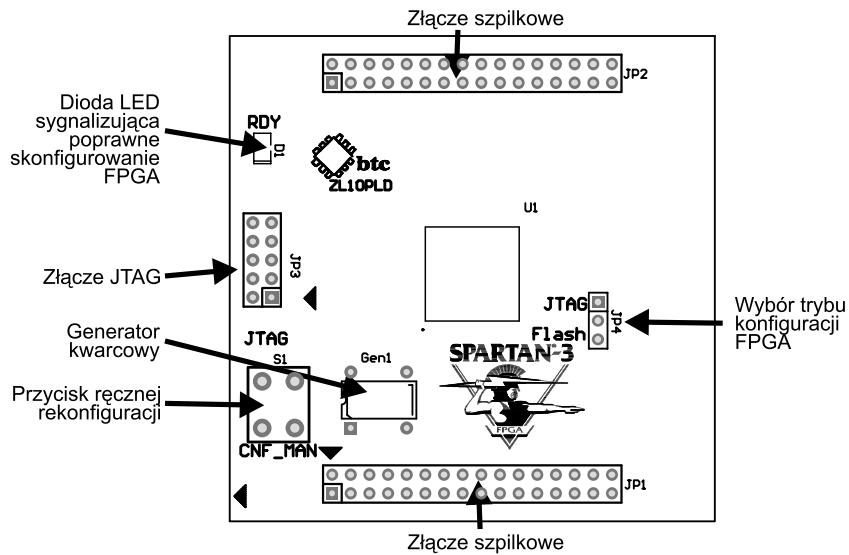
BTC Korporacja zastrzega sobie prawo do modyfikacji niniejszej dokumentacji bez uprzedzenia.

Budowa modułu

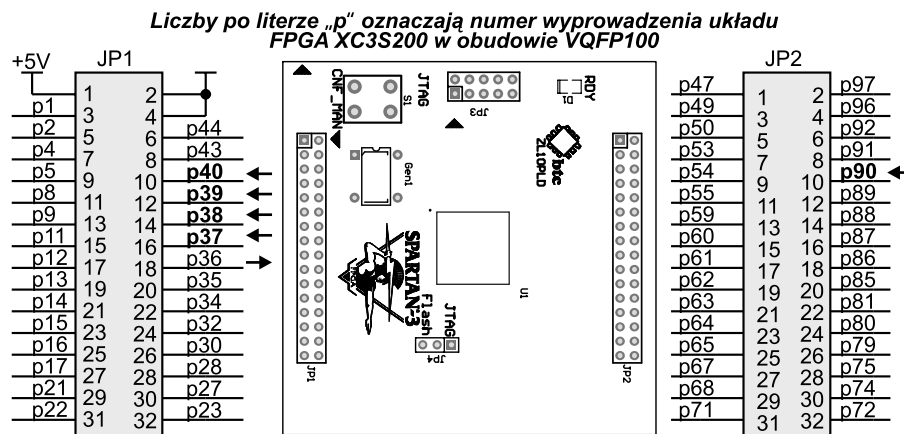
Schemat elektryczny modułu ZL10PLD pokazano na rysunku poniżej.



Rozmieszczenie najważniejszych elementów modułu



Wyprowadzenia modułu



Wyprowadzenia oznaczone pogrubionym opisem wyposażono w inwertery z serii LVC/LCX umożliwiające współpracę tych linii z układami cyfrowymi zasilanymi napięciem 5 V.

Uwaga! Linia p36 jest wyjściem sygnału zegarowego (sygnał z wyjścia generatora kwarcowego, poziomy 0/3,3 V).

UWAGA

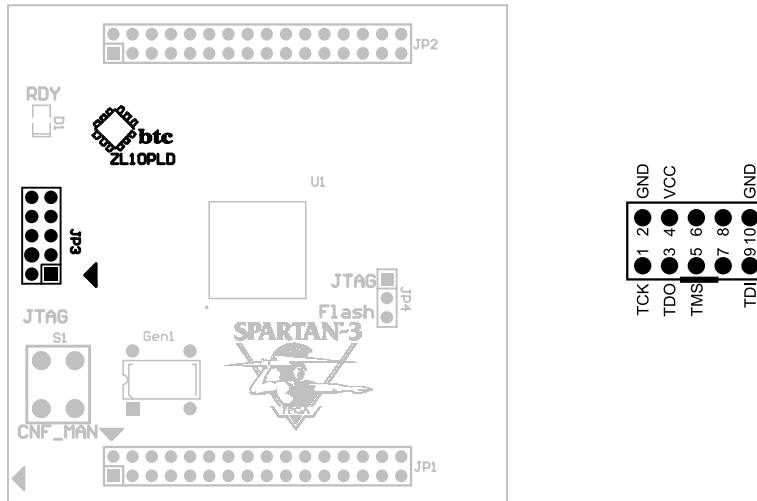
Linia I/O oznaczona symbolem „p36” jest wyjściem sygnału zegarowego (odwrócony w fazie sygnał generatora kwarcowego zainstalowanego na ZL10PLD). Można go wykorzystać wyłącznie jako wyjście do współpracy z układami zasilanymi napięciem 3,3 V.

UWAGA

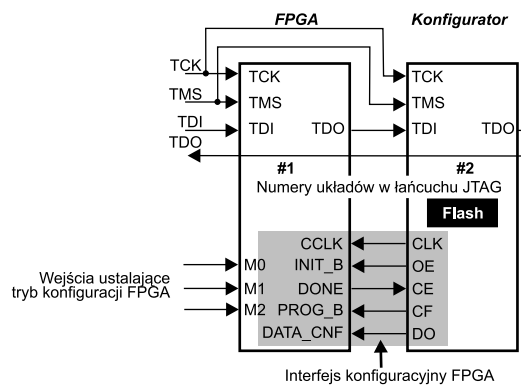
Linie I/O modułu ZL10PLD są kompatybilne wyłącznie z logiką 3,3 V! Nie dotyczy to 5 wydzielonych linii wyposażonych w bufony napięciowe-inwertery z serii LVC/LCX.

Złącze JTAG

Moduł wyposażono w 10-stykowe złącze IDC, do którego można dołączyć programator/konfigurator ISP (np. ZL11PRG, ZL11PRG-M, ZL4PRG). Umieszczenie tego gniazda na płycie i rozmieszczenie sygnałów pokazano na rysunkach poniżej.

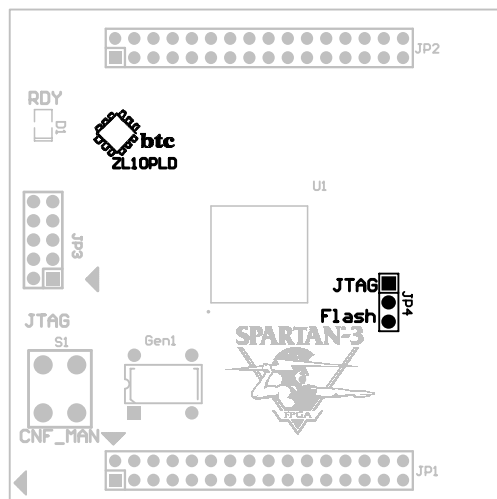


Układ FPGA oraz konfigurator (pamięć Flash U2) są połączone w łańcuch JTAG jak na rysunku poniżej. Takie połączenie umożliwia niezależne programowanie pamięci Flash i konfigurowanie układu FPGA za pomocą programatora zgodnego z DLC III firmy Xilinx (m.in. ZL11PRG, ZL11PRG-M, ZL4PRG).



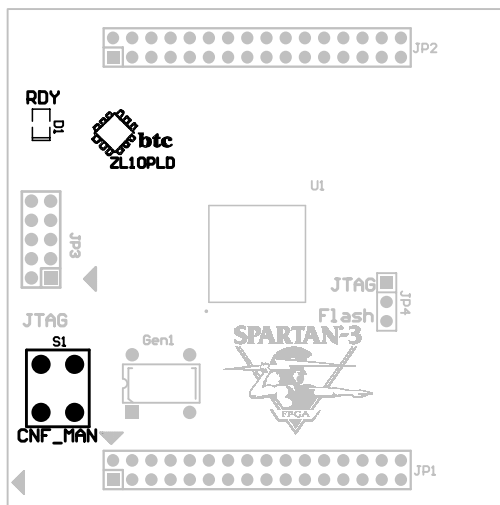
Wybór trybu konfiguracji FPGA

Układ FPGA po włączeniu zasilania może być automatycznie konfigurowany (konfiguracja kopiowana z konfiguratora Flash) lub może oczekiwać na dane konfiguracyjne dostarczane przez użytkownika za pomocą interfejsu JTAG. Wybór trybu konfiguracji odbywa się za pomocą zworki JP4, zgodnie z opisem umieszczonym na płycie drukowanej.



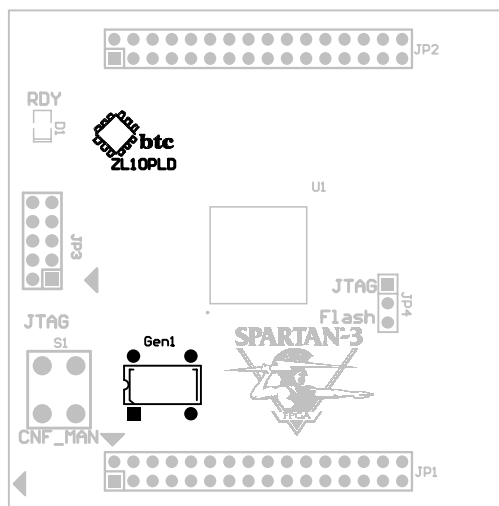
Przycisk wymuszania rekonfiguracji FPGA

Za pomocą przycisku umieszczonego na płytce (jego umiejscowienie pokazano na rysunku poniżej) użytkownik może w dowolnym momencie odtworzyć konfigurację FPGA zapisaną w pamięci. Poprawne skonfigurowanie FPGA jest sygnalizowane świeceniem diody RDY.



Generator kwarcowy

Płytką ZL10PLD jest standardowo wyposażona w generator kwarcowy o częstotliwości przebiegu wyjściowego 3,6864 MHz i napięciu zasilania 5 V. Dzięki umieszczeniu go w podstawie, użytkownik może go wymienić na dowolny inny, przydatny w testowanej aplikacji.



Dołączenie peryferiów płyty bazowej ZL9PLD

Moduł dipPLD ZL10PLD jest przystosowany do współpracy z płytą bazową ZL9PLD. Na rysunku poniżej pokazano sposób dołączenia umieszczonych na niej peryferiów do wyprowadzeń I/O układu FPGA.

